

2026 年度 論理回路 第 5 回講義資料

情報コース 小野寺優希也

2026 年 11 月 5 日

【本日の内容】

- 論理回路の多数入力回路が作成できる。
- 基本論理素子を用いて NAND と NOR の回路に変換することができる。

§1 多数入力回路

論理演算素子は、論理ゲート（単にゲート）とも呼ばれる。これまでに扱った論理演算素子は、主に 2 入力のものであった。しかし、論理積（AND）や論理和（OR）などは、3 個以上の入力を持つ場合にも拡張することができる。本節では、3 入力の場合を具体例として、多数入力の論理演算素子の動作と構成方法を説明する。また、一般の n 入力の場合についても考える。

1.1 多入力 AND・OR

まず、3 入力 AND ゲートと 3 入力 OR ゲートについて考える。3 入力 AND ゲートは、3 個の入力がすべて 1 の場合に限り、出力が 1 となる論理ゲートである。一方、3 入力 OR ゲートは、3 個の入力のうち少なくとも 1 個が 1 であれば、出力が 1 となる論理ゲートである。入力を A, B, C とすると、3 入力 AND ゲートの出力 Y は

$$Y = ABC \quad (1.1)$$

であり、3 入力 OR ゲートの出力 Y は

$$Y = A + B + C \quad (1.2)$$

で表される。それぞれの真理値表を表 1.1 に示す。

表 1.1 3 入力 AND ゲートと 3 入力 OR ゲートの真理値表

A	B	C	AND	OR
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

次に、3 入力 AND ゲートを 2 入力 AND ゲートから構成する方法を考える．論理積の結合則より、

$$ABC = (AB)C \quad (1.3)$$

が成り立つ．したがって、3 入力 AND ゲートは、2 入力 AND ゲートを 2 個組み合わせることで実現できる．3 入力 AND ゲートとその等価回路を図 1.1 に示す．なお、真理値表が一致する 2 つの論理回路は等価であるといい、このような回路を等価回路という．

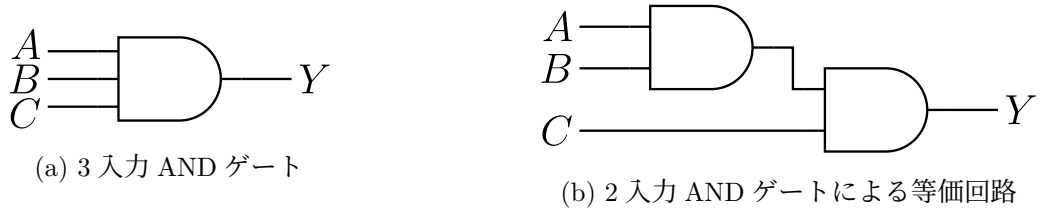


図 1.1 3 入力 AND ゲートとその等価回路

同様に、論理和の結合則より、

$$A + B + C = (A + B) + C \quad (1.4)$$

が成り立つ．したがって、3 入力 OR ゲートも、2 入力 OR ゲートを 2 個組み合わせることで実現できる．3 入力 OR ゲートとその等価回路を図 1.2 に示す．

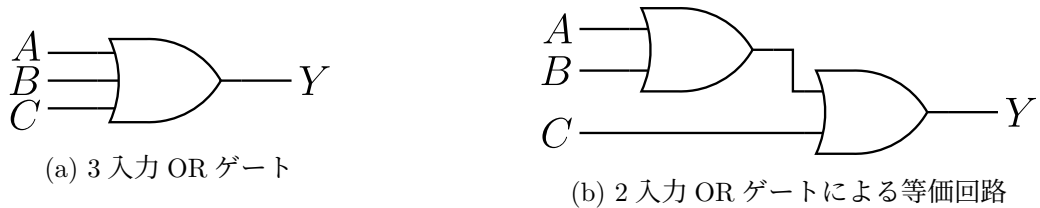


図 1.2 3 入力 OR ゲートとその等価回路

一般に、 $n \geq 2$ とし、 n 個の入力 $A_1, A_2, \dots, A_n$ を持つ AND ゲートの出力は

$$Y = A_1 A_2 \cdots A_n \quad (1.5)$$

で表される．同様に、 n 入力 OR ゲートの出力は

$$Y = A_1 + A_2 + \cdots + A_n \quad (1.6)$$

で表される。

論理積および論理和の結合則より、 n 入力 AND ゲートおよび n 入力 OR ゲートは、それぞれ同じ種類の 2 入力ゲートを $n-1$ 個用いて実現できる。例えば、4 入力の場合には、3 個の 2 入力ゲートを用いて実現できる。実際、入力を A, B, C, D とすると、その出力は

$$Y = ABCD \quad (1.7)$$

であり、結合則を用いると、

$$Y = ABCD = ((AB)C)D \quad (1.8)$$

となる。したがって、4 入力 AND ゲートは 2 入力 AND ゲートを 3 個組み合わせることで実現できる。同様に 4 入力 OR ゲートについても、

$$Y = A + B + C + D \quad (1.9)$$

であり、結合則より、

$$Y = A + B + C + D = ((A + B) + C) + D \quad (1.10)$$

が得られる。したがって、4 入力 OR ゲートも 2 入力 OR ゲートを 3 個組み合わせることで実現できる。

1.2 多入力 NAND・NOR

3 入力 NAND ゲートは、3 入力 AND ゲートの出力を否定したものである。入力を A, B, C とすると、その出力 Y は

$$Y = \overline{ABC} \quad (1.11)$$

で表される。したがって、3 個の入力がすべて 1 の場合に限り、出力が 0 となる。同様に、3 入力 NOR ゲートは、3 入力 OR ゲートの出力を否定したものであり、その出力 Y は

$$Y = \overline{A + B + C} \quad (1.12)$$

で表される。したがって、3 個の入力がすべて 0 の場合に限り、出力が 1 となる。それぞれの真理値表を表 1.2 に示す。

表 1.2 3 入力 NAND ゲートと 3 入力 NOR ゲートの真理値表

A	B	C	NAND	NOR
0	0	0	1	1
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	0	0

次に、2入力ゲートを用いて、3入力 NAND ゲートの等価回路を構成する方法を考える。論理積の結合則より、

$$Y = \overline{ABC} = \overline{(AB)C} \quad (1.13)$$

が成り立つ。式 (1.13) より、2入力ゲートから構成するには A と B の論理積を求めてから、その出力と C の NAND を求めればよいことがわかる。3入力 NAND ゲートとその等価回路を図 1.3 に示す。

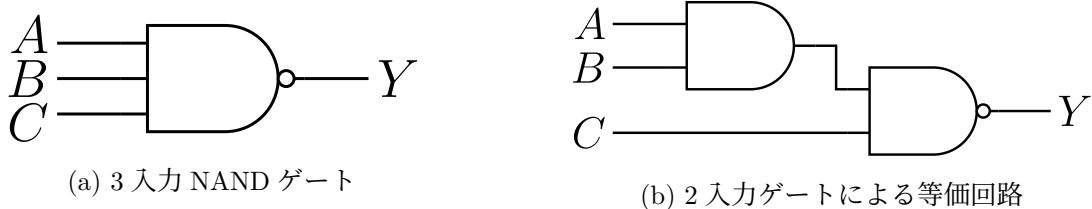


図 1.3 3入力 NAND ゲートとその等価回路

同様に、論理和の結合則より、

$$Y = \overline{A+B+C} = \overline{(A+B)+C} \quad (1.14)$$

が成り立つ。したがって、3入力 NOR ゲートは、2入力 OR ゲートと 2入力 NOR ゲートを 1 個ずつ組み合わせることで実現できる。3入力 NOR ゲートとその等価回路を図 1.4 に示す。

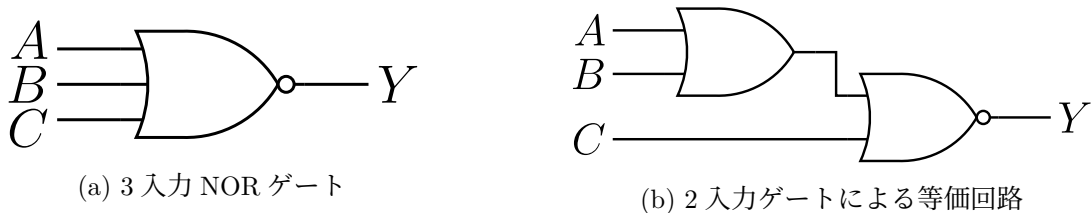


図 1.4 3入力 NOR ゲートとその等価回路

ところで、3入力 AND ゲートは、2入力 AND ゲートを 2 個接続することで実現できた。それでは、3入力 NAND ゲートも、2入力 NAND ゲートを 2 個接続することで実現できるだろうか？ また、入力の組み合わせ方を変えると、出力はどうなるだろうか？ 次の例題で考える。

例題 1.1 NAND ゲートの接続

図 1.5 の 2 つの論理回路について、次の問いに答えよ。

1. 図 1.5(a) の回路は、3入力 NAND ゲートと等価であるか判定せよ。
2. 図 1.5(a) と (b) の回路は等価であるか判定せよ。また、NAND が結合則を満たすかどうかを答えよ。

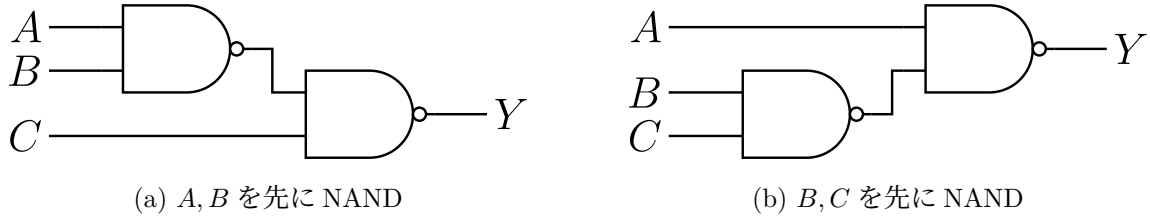


図 1.5 NAND ゲートの接続方法の比較

証明

1. 図 1.5(a) では、まず A と B の NAND を求め、その出力と C の NAND を求めている。ド・モルガンの定理より、

$$\begin{aligned}
 Y &= \overline{\overline{AB}C} \\
 &= \overline{\overline{AB}} + \overline{C} \\
 &= AB + \overline{C}
 \end{aligned} \tag{1.15}$$

となる。一方、3 入力 NAND ゲートの出力は

$$Y = \overline{ABC} \tag{1.16}$$

である。ここで、 $A = B = C = 1$ とすると、式 (1.15) および式 (1.16) より、それぞれ

$$AB + \overline{C} = 1, \quad \overline{ABC} = 0 \tag{1.17}$$

となる。したがって、同じ入力に対して出力が異なるため、図 1.5(a) の回路は、3 入力 NAND ゲートと等価ではない。

2. 図 1.5(b) では、まず B と C の NAND を求め、その出力と A の NAND を求めている。ド・モルガンの定理より、

$$\begin{aligned}
 Y &= \overline{A\overline{BC}} \\
 &= \overline{A} + \overline{\overline{BC}} \\
 &= \overline{A} + BC
 \end{aligned} \tag{1.18}$$

となる。

ここで、 $A = 0, B = C = 1$ とすると、式 (1.18) より、

$$Y = AB + \overline{C} = 0 \cdot 1 + \overline{1} = 0 \tag{1.19}$$

となる。一方、式 (1.18) より、

$$Y = \overline{A} + BC = \overline{0} + 1 \cdot 1 = 1 \tag{1.20}$$

となる。したがって、図 1.5(a) と (b) の回路は等価ではない。これは、NAND の演算について入力の組み合わせ方によって結果が異なることを意味する。よって、NAND は結合則を満たさない。

□

NOR ゲートについても同様に考える。

例題 1.2 NOR ゲートの接続

図 1.6 の 2 つの論理回路について、次の問いに答えよ。

1. 図 1.6(a) の回路は、3 入力 NOR ゲートと等価であるか判定せよ。
2. 図 1.6(a) と (b) の回路は等価であるか判定せよ。また、NOR が結合則を満たすかどうかを答えよ。

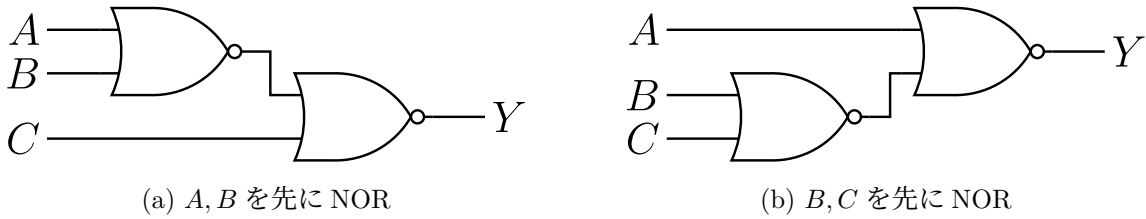


図 1.6 NOR ゲートの接続方法の比較

証明

1. 図 1.6(a) では、まず A と B の NOR を求め、その出力と C の NOR を求める。ド・モルガンの定理より、

$$\begin{aligned}
 Y &= \overline{\overline{A+B} + C} \\
 &= \overline{\overline{A+B} \cdot \overline{C}} \\
 &= (A+B)\overline{C}
 \end{aligned} \tag{1.21}$$

となる。一方、3 入力 NOR ゲートの出力は

$$Y = \overline{A+B+C} \tag{1.22}$$

である。ここで、 $A=B=C=0$ とすると、式 (1.21) および式 (1.22) より、それぞれ

$$(A+B)\overline{C} = 0, \quad \overline{A+B+C} = 1 \tag{1.23}$$

となる。したがって、同じ入力に対して出力が異なるため、図 1.6(a) の回路は、3 入力 NOR ゲートと等価ではない。

2. 図 1.6(b) では、まず B と C の NOR を求め、その出力と A の NOR を求める。ド・モルガンの定理より、

$$\begin{aligned}
 Y &= \overline{A + \overline{B+C}} \\
 &= \overline{A} \cdot \overline{\overline{B+C}} \\
 &= \overline{A}(B+C)
 \end{aligned} \tag{1.24}$$

となる。ここで、 $A=B=0, C=1$ とすると、式 (1.21) より、

$$Y = (A+B)\overline{C} = (0+0)\overline{1} = 0 \tag{1.25}$$

となる。一方、式 (1.24) より、

$$Y = \overline{A}(B+C) = \overline{0}(0+1) = 1 \tag{1.26}$$

となる。

したがって、図 1.6(a) と (b) の回路は等価ではない。これは、NOR の演算について入力の組み合わせ方によって結果が異なることを意味する。よって、NOR は結合則を満たさない。

□

以上より、NAND および NOR は結合則を満たさず、AND や OR と同じように 2 入力ゲートを単純に接続するだけでは、多入力 NAND ゲートや多入力 NOR ゲートを実現できないことがわかる。ただし、2 入力 NAND ゲートのみを用いて 3 入力 NAND ゲートを、2 入力 NOR ゲートのみを用いて 3 入力 NOR ゲートを実現することは可能である。これらの構成方法は本節の問題で考える。

次に、一般の n 入力の場合を考える。 $n \geq 2$ とし、 n 個の入力 $A_1, A_2, \dots, A_n$ を持つ NAND ゲートの出力は

$$Y = \overline{A_1 A_2 \cdots A_n} \quad (1.27)$$

で表される。同様に、 n 入力 NOR ゲートの出力は

$$Y = \overline{A_1 + A_2 + \cdots + A_n} \quad (1.28)$$

で表される。

論理積および論理和の結合則より、 n 入力 NAND ゲートは、2 入力 AND ゲートを $n - 2$ 個と 2 入力 NAND ゲートを 1 個用いて実現できる。同様に、 n 入力 NOR ゲートは、2 入力 OR ゲートを $n - 2$ 個と 2 入力 NOR ゲートを 1 個用いて実現できる。

例えば、4 入力の場合には、合計 3 個の 2 入力ゲートを用いて実現できる。実際、4 入力 NAND ゲートについては、

$$Y = \overline{ABCD} = \overline{((AB)C)D} \quad (1.29)$$

が成り立つ。したがって、2 入力 AND ゲートを 2 個と 2 入力 NAND ゲートを 1 個用いて実現できる。同様に、4 入力 NOR ゲートについても、

$$Y = \overline{A + B + C + D} = \overline{((A + B) + C) + D} \quad (1.30)$$

が成り立つ。したがって、2 入力 OR ゲートを 2 個と 2 入力 NOR ゲートを 1 個用いて実現できる。

1.3 多入力 XOR

3 入力 XOR ゲートは、3 個の入力のうち、1 となる入力の個数が奇数の場合に出力が 1 となるゲートである。入力を A, B, C とすると、その出力 Y は

$$Y = A \oplus B \oplus C \quad (1.31)$$

で表される。例えば、 $A = B = C = 1$ の場合にも出力は 1 となる。3 入力 XOR ゲートの真理値表を表 1.3 に示す。

表 1.3 3 入力 XOR ゲートの真理値表

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

次に, XOR の結合則について考える.

定理 1.3 XOR の結合則

任意の $A, B, C \in \{0, 1\}$ に対して,

$$(A \oplus B) \oplus C = A \oplus (B \oplus C) \quad (1.32)$$

が成り立つ.

証明 2 入力 XOR の定義に従い, $(A \oplus B) \oplus C$ と $A \oplus (B \oplus C)$ の値をそれぞれ求めると, 表 1.4 のようになる.

表 1.4 XOR の結合則の確認

A	B	C	$A \oplus B$	$(A \oplus B) \oplus C$	$B \oplus C$	$A \oplus (B \oplus C)$
0	0	0	0	0	0	0
0	0	1	0	1	1	1
0	1	0	1	1	1	1
0	1	1	1	0	0	0
1	0	0	1	1	0	1
1	0	1	1	0	1	0
1	1	0	0	0	1	0
1	1	1	0	1	0	1

表 1.4 より, すべての入力の組合せについて $(A \oplus B) \oplus C$ と $A \oplus (B \oplus C)$ の値が一致する. したがって, 式 (1.32) が成り立つ. $\square$

XOR は結合則を満たすため, 3 入力 XOR ゲートの出力は

$$Y = A \oplus B \oplus C = (A \oplus B) \oplus C \quad (1.33)$$

と表すことができる. 式 (1.33) より, A と B の XOR を求めてから, その出力と C の XOR を求めればよいことがわかる. したがって, 3 入力 XOR ゲートは, 2 入力 XOR ゲートを 2 個用いて実現できる. 3 入力 XOR ゲートとその等価回路を図 1.7 に示す.

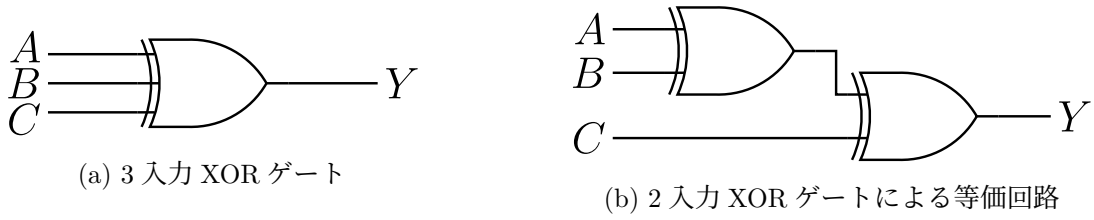


図 1.7 3 入力 XOR ゲートとその等価回路

次に、一般の n 入力の場合を考える． $n \geq 2$ とし， n 個の入力 $A_1, A_2, \dots, A_n$ を持つ XOR ゲートの出力は

$$Y = A_1 \oplus A_2 \oplus \dots \oplus A_n \quad (1.34)$$

で表される．この出力は，1 となる入力の個数が奇数の場合に 1 となる．XOR の結合則より，

$$Y = (\dots((A_1 \oplus A_2) \oplus A_3) \oplus \dots) \oplus A_n \quad (1.35)$$

が成り立つ．したがって，2 入力 XOR ゲートを $n - 1$ 個用いることで， n 入力 XOR ゲートを実現できる．例えば，4 入力の場合には，

$$Y = A \oplus B \oplus C \oplus D = ((A \oplus B) \oplus C) \oplus D \quad (1.36)$$

が成り立つ．したがって，4 入力 XOR ゲートは，2 入力 XOR ゲートを 3 個用いて実現できる．

問題 1.4 4 入力ゲートの構成

- (1) 式 (1.8) を参考に, 2 入力ゲートを用いて 4 入力 AND ゲートを実現する回路図を作成せよ.
- (2) 式 (1.10) を参考に, 2 入力ゲートを用いて 4 入力 OR ゲートを実現する回路図を作成せよ.
- (3) 式 (1.29) を参考に, 2 入力ゲートを用いて 4 入力 NAND ゲートを実現する回路図を作成せよ.
- (4) 式 (1.30) を参考に, 2 入力ゲートを用いて 4 入力 NOR ゲートを実現する回路図を作成せよ.
- (5) 式 (1.36) を参考に, 2 入力ゲートを用いて 4 入力 XOR ゲートを実現する回路図を作成せよ.

問題 1.4 4 入力ゲートの構成

- (1) 式 (1.8) を参考に, 2 入力ゲートを用いて 4 入力 AND ゲートを実現する回路図を作成せよ.
- (2) 式 (1.10) を参考に, 2 入力ゲートを用いて 4 入力 OR ゲートを実現する回路図を作成せよ.
- (3) 式 (1.29) を参考に, 2 入力ゲートを用いて 4 入力 NAND ゲートを実現する回路図を作成せよ.
- (4) 式 (1.30) を参考に, 2 入力ゲートを用いて 4 入力 NOR ゲートを実現する回路図を作成せよ.
- (5) 式 (1.36) を参考に, 2 入力ゲートを用いて 4 入力 XOR ゲートを実現する回路図を作成せよ.

解答

(1)

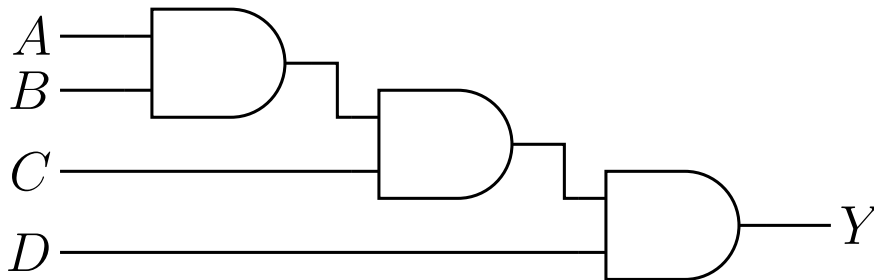


図 1.8 4 入力 AND ゲートの等価回路

(2)

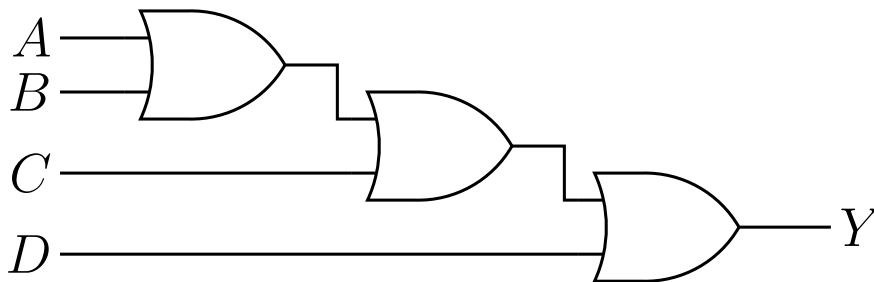


図 1.9 4 入力 OR ゲートの等価回路

(3)

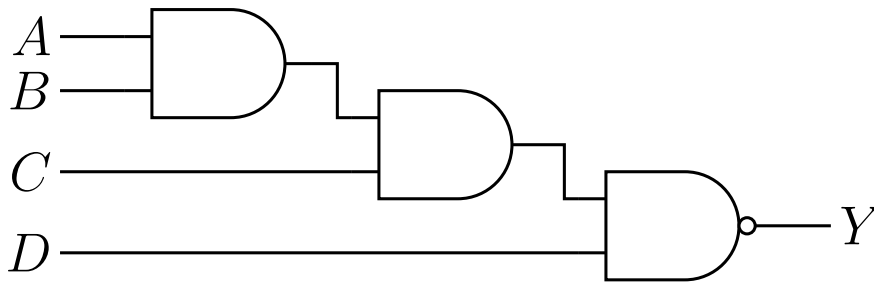


図 1.10 4 入力 NAND ゲートの等価回路

(4)

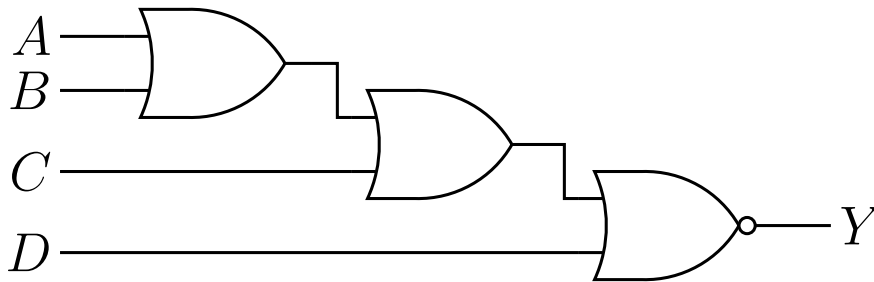


図 1.11 4 入力 NOR ゲートの等価回路

(5)

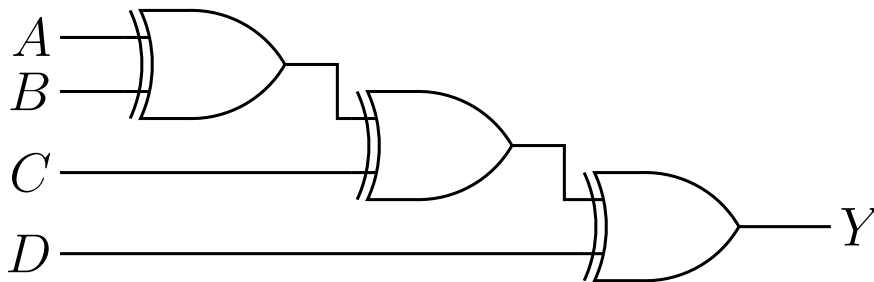


図 1.12 4 入力 XOR ゲートの等価回路

□

なお、同じ出力を得る論理回路の構成方法は一通りとは限らない。以下に、結合則を利用した別の構成方法を示す。

解答

(1) 論理積の結合則より、

$$Y = ABCD = (AB)(CD) \quad (1.37)$$

が成り立つ。式 (1.37) に対応する等価回路を図 1.13 に示す。

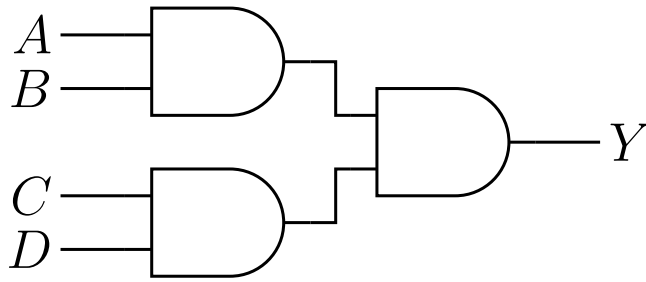


図 1.13 4 入力 AND ゲートの等価回路 (別解)

(2) 論理和の結合則より,

$$Y = A + B + C + D = (A + B) + (C + D) \quad (1.38)$$

が成り立つ. 式 (1.38) に対応する等価回路を図 1.14 に示す.

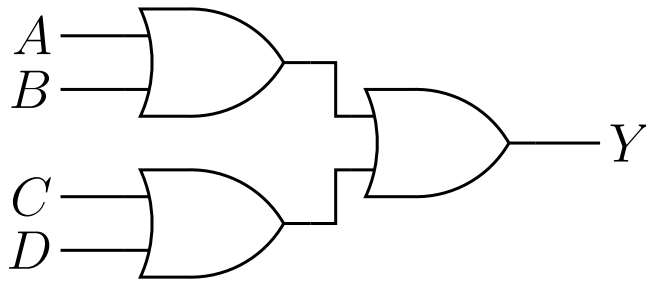


図 1.14 4 入力 OR ゲートの等価回路 (別解)

(3) 論理積の結合則より,

$$Y = \overline{ABCD} = \overline{(AB)(CD)} \quad (1.39)$$

が成り立つ. 式 (1.39) に対応する等価回路を図 1.15 に示す.

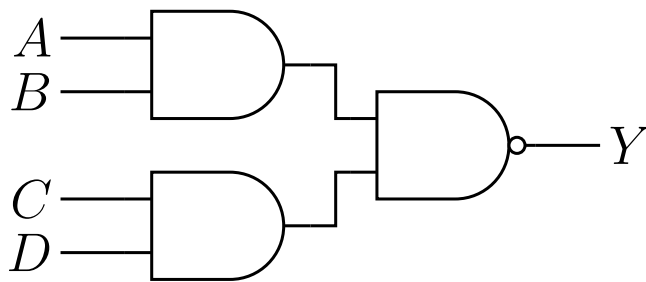


図 1.15 4 入力 NAND ゲートの等価回路 (別解)

(4) 論理和の結合則より,

$$Y = \overline{A + B + C + D} = \overline{(A + B) + (C + D)} \quad (1.40)$$

が成り立つ. 式 (1.40) に対応する等価回路を図 1.16 に示す.

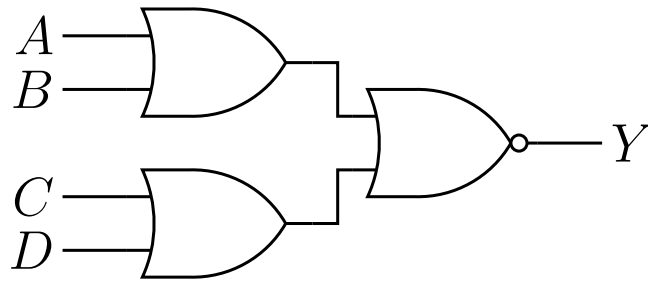


図 1.16 4 入力 NOR ゲートの等価回路 (別解)

(5) XOR の結合則より,

$$Y = A \oplus B \oplus C \oplus D = (A \oplus B) \oplus (C \oplus D) \quad (1.41)$$

が成り立つ. 式 (1.41) に対応する等価回路を図 1.17 に示す.

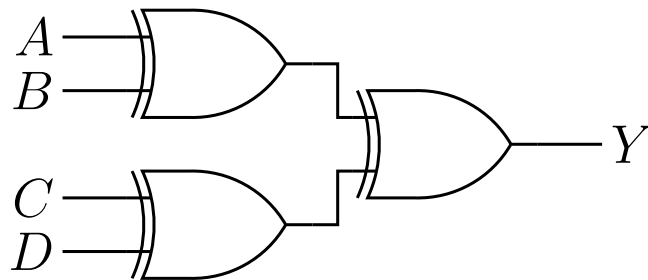


図 1.17 4 入力 XOR ゲートの等価回路 (別解)

□

ここで, 基本解答と別解では, いずれも使用する 2 入力ゲートの総数は 3 個である. しかし, 基本解答では入力から出力までに最大 3 段のゲートを通すのに対し, 別解では最大 2 段となる. このように, 同じ論理関数を実現する回路であっても, ゲートの接続方法によって回路の段数が異なる場合がある.

なお, 問題 1.4(3), (4) の別解では, それぞれ論理積と論理和の結合則を利用している. NAND および NOR 自体は結合則を満たさないため, これらのゲートの接続順序を自由に変更できるわけではないことに注意する.

問題 1.5 NAND・NOR ゲートによる多入力回路の構成

(1)二重否定を用いると,

$$Y = \overline{ABC} = \overline{(\overline{AB})}C$$

が成り立つ. この関係を利用して, 2 入力 NAND ゲートのみを用いて 3 入力 NAND ゲートを実現する回路図を作成せよ.

(2)(1) を参考に, 2 入力 NOR ゲートのみを用いて 3 入力 NOR ゲートを実現する回路図を作成せよ.

問題 1.5 NAND・NOR ゲートによる多入力回路の構成

(1)二重否定を用いると,

$$Y = \overline{ABC} = \overline{(\overline{AB})C}$$

が成り立つ. この関係を利用して, 2 入力 NAND ゲートのみを用いて 3 入力 NAND ゲートを実現する回路図を作成せよ.

(2)(1) を参考に, 2 入力 NOR ゲートのみを用いて 3 入力 NOR ゲートを実現する回路図を作成せよ.

解答

(1)

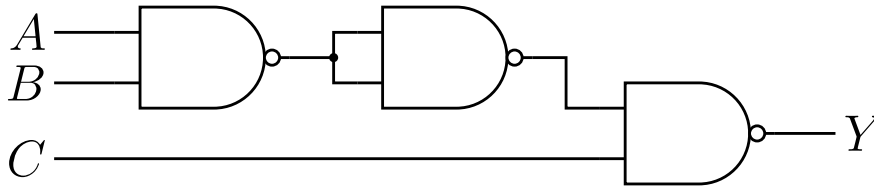


図 1.18 2 入力 NAND ゲートのみを用いた 3 入力 NAND ゲートの等価回路

(2)二重否定を用いると,

$$Y = \overline{A+B+C} = \overline{(\overline{\overline{A+B}})+C} \quad (1.42)$$

が成り立つ. 式 (1.42) に対応する等価回路を図 1.19 に示す.

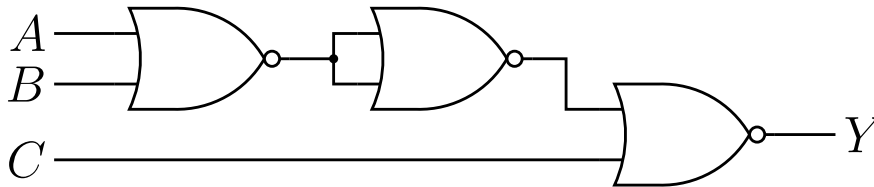


図 1.19 2 入力 NOR ゲートのみを用いた 3 入力 NOR ゲートの等価回路

□

§2 基本論理による論理関数の表現

前回までに, 論理積 (AND), 論理和 (OR), 論理否定 (NOT) などの基本的な論理演算について説明した. 本節では, AND, OR, NOT の組合せによって, どのような論理関数を表現することができるかを考える. ここで, **論理関数**とは 1 または 0 をとる変数 $A, B, C, \dots$ とそれらの変数と変数を関係づけるいくつかの記号を用いて表現される関数 $f(A, B, C, \dots)$ のことである. 例えば, 論理和を f を使って表すと

$$f(A, B) = A + B \quad (2.1)$$

となる. 論理関数 f に用いられる変数 $A, B, C, \dots$ を**論理変数**という.

まず、はじめに 1 入力 1 出力の論理関数について考える．その後、 n 個の 2 値入力を持つ 1 出力論理関数が AND, OR, NOT の組み合わせで表現できることを示す．ここで、 n は有限な正の整数とする．

例題 2.1, 例題 2.2, 定理 2.3 の証明については絶対に試験に出題しない．

例題 2.1

1 入力 1 出力の論理関数 $f(A)$ を考える． $f(A)$ として考えられるすべての論理関数を挙げ、それぞれが AND, OR, NOT の組合せによって表現できることを示せ．

証明 入力 A は 0 または 1 の値をとるため、 $f(A)$ の真理値表として考えられるものは表 2.1 の 4 通りである．

表 2.1 1 入力 1 出力の論理関数

(a)	(b)	(c)	(d)
A $f(A)$	A $f(A)$	A $f(A)$	A $f(A)$
0 0	0 1	0 0	0 1
1 0	1 1	1 1	1 0

表 2.1 の (a) から (d) の論理関数は、それぞれ

$$f(A) = A\bar{A}, \quad f(A) = A + \bar{A}, \quad f(A) = A, \quad f(A) = \bar{A}$$

と表すことができる^{*1}．したがって、1 入力 1 出力の任意の論理関数は、AND, OR, NOT の組合せによって表現することができる． $\square$

例題 2.2

3 入力 1 出力の論理関数

$$f(A, B, C) = ABC$$

を考える．入力 C の値によって場合分けをし、 f を 2 入力の論理関数を用いて表せ．

証明 $f(A, B, C) = ABC$ の真理値表を表 2.2 に示す．

$C = 0$ のとき、

$$f(A, B, 0) = 0$$

であり、 $C = 1$ のとき、

$$f(A, B, 1) = AB$$

である．そこで、

$$f_0(A, B) := 0, \quad f_1(A, B) := AB$$

とおくと、

$$f(A, B, C) = f_0(A, B)\bar{C} + f_1(A, B)C$$

^{*1} 表 2.1(a) と (b) はそれぞれ $f(A) = 0$, $f(A) = 1$ としてもよい．しかし、示したいことが AND, OR, NOT の組み合わせで表現できることなので、公理を用いた形を使用している．

表 2.2 $f(A, B, C) = ABC$ の真理値表

A	B	C	$f(A, B, C)$
0	0	0	0
0	1	0	0
1	0	0	0
1	1	0	0
0	0	1	0
0	1	1	0
1	0	1	0
1	1	1	1

と表すことができる。

□

定理 2.3

任意の正の整数 n に対して、 n 個の 2 値入力を持つ任意の 1 出力論理関数は、AND、OR、NOT の有限個の組合せによって表現することができる。

証明 数学的帰納法を用いて示す。まず、 $n = 1$ の場合を考える。例題 2.1 より、1 個の 2 値入力を持つ 1 出力論理関数は AND、OR、NOT の組み合わせで表現することができる。

次に、 $n = k$ の場合に、 k 個の 2 値入力を持つ 1 出力論理関数が AND、OR、NOT の組み合わせで表現できると仮定する。 $k + 1$ 個の 2 値入力を持つ 1 出力論理関数

$$f(A_1, A_2, \dots, A_k, A_{k+1})$$

を考える。ここで、最後の入力 A_{k+1} の値によって場合分けする。 $A_{k+1} = 0$ のときの論理関数を

$$f_0(A_1, A_2, \dots, A_k) := f(A_1, A_2, \dots, A_k, 0)$$

とし、 $A_{k+1} = 1$ のときの論理関数を

$$f_1(A_1, A_2, \dots, A_k) := f(A_1, A_2, \dots, A_k, 1)$$

とする。このとき、

$$f(A_1, A_2, \dots, A_k, A_{k+1}) = f_0(A_1, A_2, \dots, A_k) \overline{A_{k+1}} + f_1(A_1, A_2, \dots, A_k) A_{k+1}$$

と表すことができる。 f_0 と f_1 はいずれも k 個の 2 値入力を持つ 1 出力論理関数であるため、帰納法の仮定より、AND、OR、NOT の組み合わせで表現することができる。したがって、 f も AND、OR、NOT の組み合わせで表現することができる。

以上より、数学的帰納法によって、 n 個の 2 値入力を持つ 1 出力論理関数は AND、OR、NOT の組み合わせで表現することができる。

□

§3

NAND による基本論理の実現

基本論理演算において、それ自身もしくはそれらの組合せ演算ですべての論理関数を表すことのできる演算を**完全系**という。前節で示したように、AND、OR、NOT の組合せによってすべての論

理関数を表現することができる。実は、NAND も完全系であることが知られている。NAND が完全系であることを示すためには、NAND のみを用いて AND, OR, NOT をそれぞれ表現できることを示せばよい。そこで、本節では、NOT, AND, OR の順に、NAND のみを用いた表現を考える。

■ NAND による NOT の表現

$$\begin{aligned} Y &= \overline{A} \\ &= \overline{AA} \end{aligned}$$

となるから、NOT は NAND のみを用いて図 3.1(a) のように表現することができる。また、

$$\begin{aligned} Y &= \overline{A} \\ &= \overline{A \cdot 1} \end{aligned}$$

であるから、図 3.1(b) のように表現することもできる。



図 3.1 NAND による NOT の表現

■ NAND による AND の表現 2 重否定を用いると、

$$\begin{aligned} Y &= AB \\ &= \overline{\overline{AB}} \end{aligned}$$

である。したがって、AND は NAND のみを用いて図 3.2 のように表現することができる。

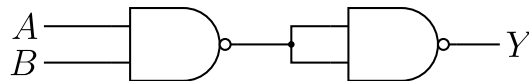


図 3.2 NAND による AND の表現

■ NAND による OR の表現 ド・モルガンの定理より、

$$\begin{aligned} Y &= A + B \\ &= \overline{\overline{A + B}} \\ &= \overline{\overline{A} \cdot \overline{B}} \end{aligned}$$

となる。したがって、OR は NAND のみを用いて図 3.3 のように表現することができる。

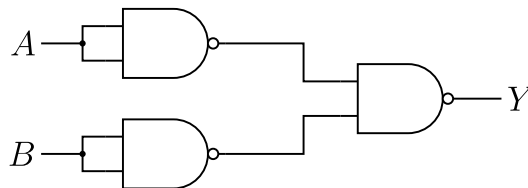


図 3.3 NAND による OR の表現

例題 3.1 論理式

論理式 $Y = A + BC$ を NAND のみで表せ.

解答

$$\begin{aligned}
 Y &= A + BC \\
 &= \overline{\overline{A + BC}} \\
 &= \overline{\overline{A} \cdot \overline{BC}} \\
 &= \overline{\overline{A} \cdot \overline{B} \cdot \overline{C}}
 \end{aligned}$$

となるから, $Y = A + BC$ は NAND のみを用いて表現することができる. 図示したものを図 3.4(d) に示す. □

例題 3.2 論理回路図

論理式 $Y = A + BC$ を NAND のみで表せ.

解答

図 3.4 のように変形することで, NAND のみを用いて表現することができる.

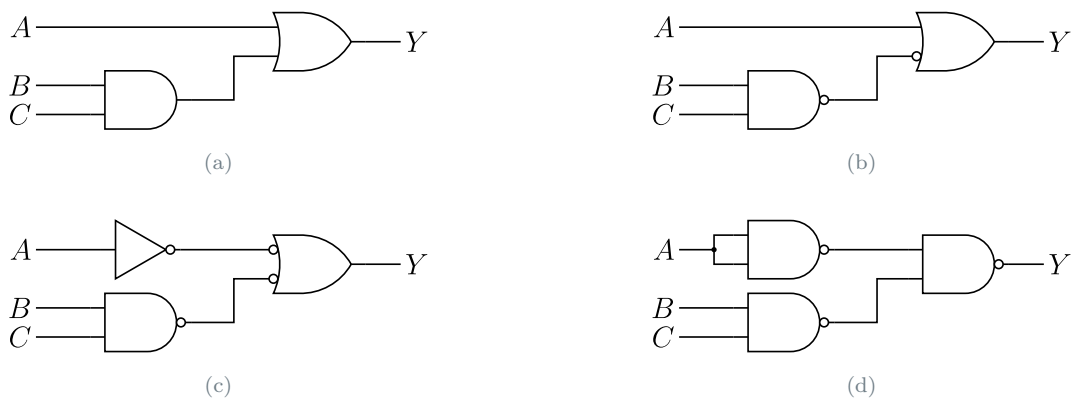


図 3.4 $Y = A + BC$ の NAND による実現

なお, 論理ゲートの入出力端子に付された小円は, その端子における論理否定を表す. □

§4 NOR による基本論理の実現

NAND と同様に, NOR も完全系であることが知られている. そこで, 本節では, NOR のみを用いて基本論理および論理関数を表現することを考える.

問題 4.1 基本論理

NOR のみを用いて，次の基本論理をそれぞれ表せ．また，それぞれの論理回路図を書け．

1. NOT
2. OR
3. AND

問題 4.1 基本論理

NOR のみを用いて、次の基本論理をそれぞれ表せ。また、それぞれの論理回路図を書け。

1. NOT
2. OR
3. AND

解答**1. NOT**

$$\begin{aligned} Y &= \overline{A} \\ &= \overline{A + A} \end{aligned}$$

となるから、NOT は NOR のみを用いて表現することができる。また、

$$\begin{aligned} Y &= \overline{A} \\ &= \overline{A + 0} \end{aligned}$$

と表すこともできる。



図 4.1 NOR による NOT の表現

2. OR 2重否定を用いると、

$$\begin{aligned} Y &= A + B \\ &= \overline{\overline{A + B}} \end{aligned}$$

である。したがって、OR は NOR のみを用いて表現することができる。

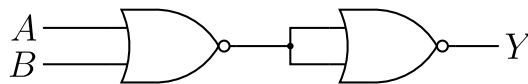


図 4.2 NOR による OR の表現

3. AND ド・モルガンの定理より、

$$\begin{aligned} Y &= AB \\ &= \overline{\overline{AB}} \\ &= \overline{\overline{A} + \overline{B}} \\ &= \overline{\overline{A} + \overline{A} + \overline{B} + \overline{B}} \end{aligned}$$

となる。したがって、AND は NOR のみを用いて表現することができる。

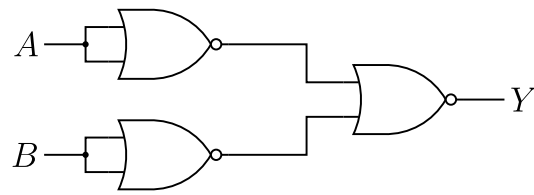


図 4.3 NOR による AND の表現

□

問題 4.2 論理式と論理回路図

論理式

$$Y = A(B + C)$$

について、以下の問いに答えよ。

1. NOR のみを用いて表せ。
2. NOR のみを用いた論理回路図を書け。

問題 4.2 論理式と論理回路図

論理式

$$Y = A(B + C)$$

について，以下の問いに答えよ．

1. NOR のみを用いて表せ．
2. NOR のみを用いた論理回路図を書け．

解答

1.

$$\begin{aligned} Y &= A(B + C) \\ &= \overline{\overline{A(B + C)}} \\ &= \overline{\overline{A} + \overline{B + C}} \\ &= \overline{\overline{A} + \overline{B} + \overline{C}} \end{aligned}$$

となるから， $Y = A(B + C)$ は NOR のみを用いて表現することができる．

2. $\overline{A + A}$ と $\overline{B + C}$ をそれぞれ NOR によって作り，これらを NOR の入力とすることで，

$$Y = \overline{\overline{A + A} + \overline{B + C}}$$

を実現することができる．

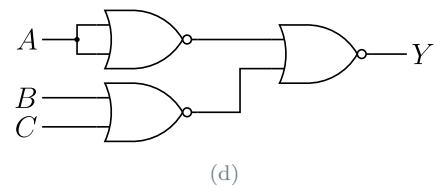
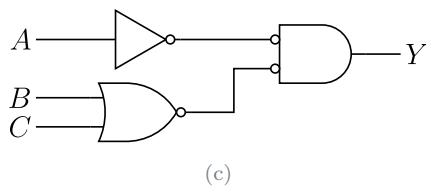
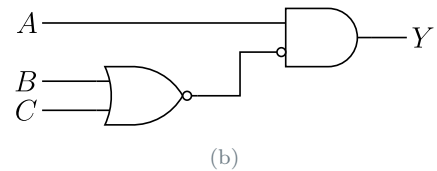
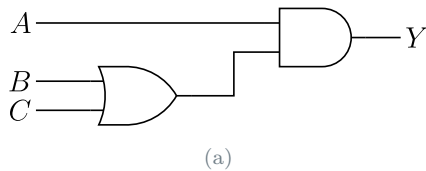


図 4.4 $Y = A(B + C)$ の NOR による実現

□

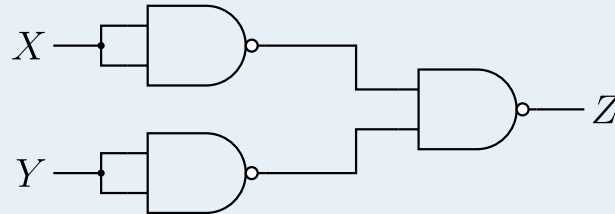
NAND 回路や NOR 回路による等価変換は，使用する論理 IC の種類を減らし，回路構成の簡略化やコスト削減につながる場合がある．詳細は，例えば <https://sakigake-robo.com/logical-function-3/> を参照すること．

§5

自主学習課題

問題 5.1 出典：平成 24 年度基本情報技術者試験（FE）秋期 午前 問 22

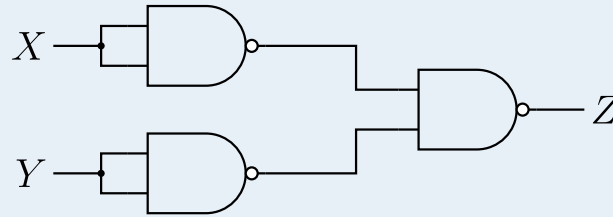
NAND 素子を用いた次の組合せ回路の出力 Z を表す式はどれか。ここで、論理式中の “ $\cdot$ ” は論理積，“ $+$ ” は論理和，“ $\overline{X}$ ” は X の否定を表す。



- (ア) $X \cdot Y$
- (イ) $X + Y$
- (ウ) $\overline{X} \cdot \overline{Y}$
- (エ) $\overline{X + Y}$

問題 5.1 出典：平成 24 年度基本情報技術者試験（FE） 秋期 午前 問 22

NAND 素子を用いた次の組合せ回路の出力 Z を表す式はどれか。ここで、論理式中の “ $\cdot$ ” は論理積，“ $+$ ” は論理和，“ $\overline{X}$ ” は X の否定を表す。



- (ア) $X \cdot Y$
- (イ) $X + Y$
- (ウ) $\overline{X \cdot Y}$
- (エ) $\overline{X + Y}$

解答

NAND の 2 入力を同じ信号に接続すると、NOT として働く。左上、左下の NAND の出力をそれぞれ P, Q とすると、

$$P = \overline{X \cdot X} = \overline{X},$$

$$Q = \overline{Y \cdot Y} = \overline{Y}$$

である。最後の NAND の出力は、ド・モルガンの定理より、

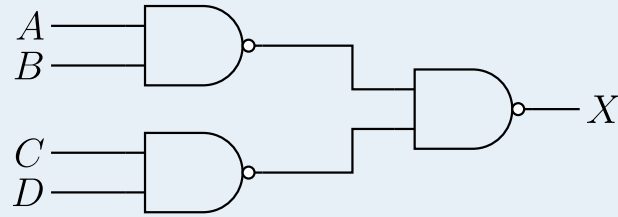
$$\begin{aligned} Z &= \overline{P \cdot Q} \\ &= \overline{\overline{X} \cdot \overline{Y}} \\ &= \overline{\overline{X}} + \overline{\overline{Y}} \\ &= X + Y \end{aligned}$$

となる。したがって、正答は（イ）である。

□

問題 5.2 出典：平成 27 年度基本情報技術者試験（FE） 秋期 午前 問 23

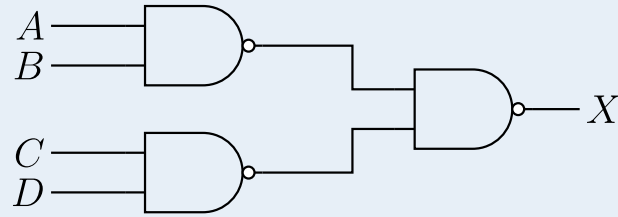
図の NAND ゲートの組合せ回路で、入力 A , B , C , D に対する出力 X の論理式はどれか。
ここで、論理式中の “ $\cdot$ ” は論理積, “ $+$ ” は論理和を表す。



- (ア) $(A + B) \cdot (C + D)$
- (イ) $A + B + C + D$
- (ウ) $A \cdot B + C \cdot D$
- (エ) $A \cdot B \cdot C \cdot D$

問題 5.2 出典：平成 27 年度基本情報技術者試験（FE） 秋期 午前 問 23

図の NAND ゲートの組合せ回路で，入力 A, B, C, D に対する出力 X の論理式はどれか。
ここで，論理式中の “ $\cdot$ ” は論理積，“ $+$ ” は論理和を表す。



- (ア) $(A + B) \cdot (C + D)$
- (イ) $A + B + C + D$
- (ウ) $A \cdot B + C \cdot D$
- (エ) $A \cdot B \cdot C \cdot D$

解答

左上，左下の NAND の出力をそれぞれ P, Q とすると，

$$P = \overline{A \cdot B},$$

$$Q = \overline{C \cdot D}$$

となる．最後の NAND にド・モルガンの定理を適用すると，

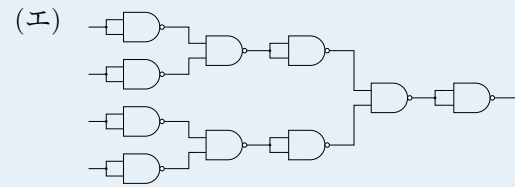
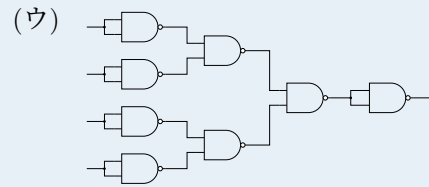
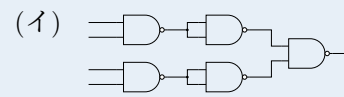
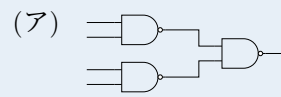
$$\begin{aligned} X &= \overline{P \cdot Q} \\ &= \overline{\overline{A \cdot B} \cdot \overline{C \cdot D}} \\ &= \overline{\overline{A \cdot B}} + \overline{\overline{C \cdot D}} \\ &= A \cdot B + C \cdot D \end{aligned}$$

となる．したがって，正答は（ウ）である。

□

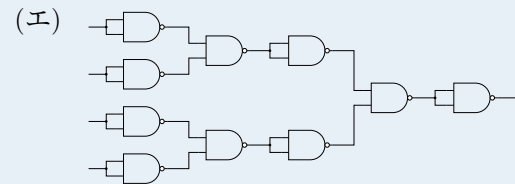
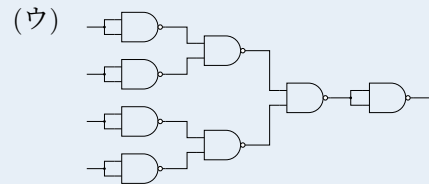
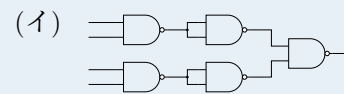
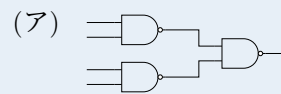
問題 5.3 出典：平成 30 年度基本情報技術者試験（FE） 秋期 午前 問 22

2 入力 NAND 素子を用いて 4 入力 NAND 回路を構成したものはどれか。



問題 5.3 出典：平成 30 年度基本情報技術者試験（FE）秋期 午前 問 22

2 入力 NAND 素子を用いて 4 入力 NAND 回路を構成したものはどれか。



解答

正答は（イ）である。外部入力を上から順に A, B, C, D ，最終出力を F とする。左端の二つの NAND の出力は，

$$P = \overline{AB}, \quad Q = \overline{CD}$$

である。その次の二つの NAND は，それぞれの 2 入力を共通接続しているので，

$$R = \overline{P \cdot P} = \overline{P} = AB,$$

$$S = \overline{Q \cdot Q} = \overline{Q} = CD$$

となる。したがって，最後の NAND の出力は，

$$F = \overline{R \cdot S} = \overline{(AB)(CD)} = \overline{ABCD}$$

となり，4 入力 NAND の論理に一致する。

同じ順序で外部入力を対応させると，他の選択肢の出力は，（ア） $AB+CD$ ，（ウ） $(A+B)(C+D)$ ，（エ） $\overline{A+B+C+D}$ である。（ア），（ウ）は $A = B = C = D = 1$ のとき出力が 1 となり，4 入力 NAND と異なる。（エ）は $A = 1, B = C = D = 0$ のとき出力が 0 となり，4 入力 NAND と異なる。

□